

(1) Japanese Patent Application Laid-Open No. 11-224900 (1999)

“Semiconductor Device and Method of Manufacturing the Same”

The following is a concise explanation of this reference:

5

This reference provides a redundancy technique which allows only a fuse link to be selectively blown with the other portion of interconnect lines being kept un-blown. A semiconductor device according to this reference includes multilevel interconnect lines which are formed on a semiconductor substrate 1 and include a fuse link 11 for providing redundancy. A first interconnect line is employed as the fuse link 11 for providing redundancy included in the semiconductor device. There is another interconnect line which is present on at least one of a top face and a bottom face of the first interconnect line and is made of a material having a higher melting point than that of the first interconnect line.

15

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-224900

(43)公開日 平成11年(1999)8月17日

(51)Int.Cl.⁸

識別記号

F I

H01L 21/82

H01L 21/82

F

27/04

27/10

491

21/822

27/04

F

27/10

491

審査請求 未請求 請求項の数10 O L (全6頁)

(21)出願番号

特願平10-24164

(22)出願日

平成10年(1998)2月5日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 下岡 義明

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 松能 正

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

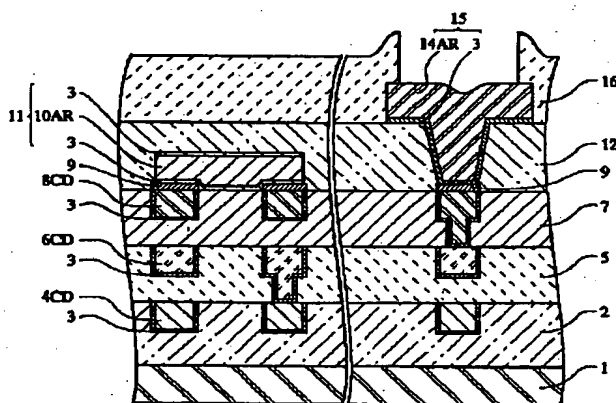
(74)代理人 弁理士 外川 英明

(54)【発明の名称】半導体装置及びその製造方法

(57)【要約】

【課題】他の配線を溶断せずに、ヒューズリンク11のみの選択的溶断が可能なリダンダンシー技術を提供することを目的とする。

【解決手段】本発明に係る基板処理方法の主要部の要旨は、上記目的を達成する為、半導体基板1上に形成されたリダンダンシー用のヒューズリンク11を含む多層配線を有する半導体装置において、第1の配線層と、前記第1の配線層の上下の少なくとも一方に前記第一の配線層よりも融点の高い材料で形成された配線層が存在し、前記第1の配線層がリダンダンシー用のヒューズリンクとして用いられるものである。



【特許請求の範囲】

【請求項1】 ウェハ上に形成されたリダグダンシー用のヒューズリンクを含む多層配線を有する半導体装置であって、第1の配線層と、前記第1の配線層の上方または下方の少なくとも一方に前記第1の配線層よりも融点の高い材料で形成された第2の配線層が存在し、前記第1の配線層がリダグダンシー用のヒューズリンクまたはヒューズリンクの一部として用いられることを特徴とする半導体装置。

【請求項2】 前記第1の配線層が前記第2の配線層よりも上層に形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1の配線層が前記多層の配線層のうち最上層として形成されていることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記第1の配線層が前記第2の配線層よりも比抵抗が高いことを特徴とする請求項1記載の半導体装置。

【請求項5】 前記第2の配線層がCuを主成分とする材料から成り、前記第1の配線層がAl, Mg, Sr, Ba, Zn, In, Ge, Sn, Pb, Sb, Biのいずれかであることを特徴とする請求項1記載の半導体装置。

【請求項6】 前記第2の配線層がAlを主成分とする材料から成り、前記第1の配線層がZn, In, Sn, Pb, Sb, Biのいずれかであることを特徴とする請求項1記載の半導体装置。

【請求項7】 ウェハ上にリダグダンシー用のヒューズリンクを含む多層の配線層を形成する半導体装置の製造方法であって、第1の配線層をヒューズリンクまたはヒューズリンクの一部として形成する工程と、前記第1の配線層よりも融点の高い第2の配線層を形成する工程と、前記第1の配線層を溶断する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項8】 前記第2の配線層を形成した後に、前記第1の配線層を前記第2の配線層より上層において形成する工程を含むことを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 前記第1の配線層を他のすべての前記多層配線より上層において形成する工程を含むことを特徴とする請求項7記載の半導体装置の製造方法。

【請求項10】 前記第1の配線層が前記第2の配線層よりも比抵抗が高いことを特徴とする請求項7記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置のリダグダンシー技術に係り、特にヒューズリンクを切断する際に好適な構造に関する。

【0002】

【従来の技術】LSI, VLSI等のメモリにおいて冗長性を持たせることは高歩留まり達成の上で必須の技術になっている。大規模化したLSI, VLSIメモリを構成するセルのすべてを正常に機能させることは現実的には難しく、それを救済する目的で従来よりリダグダンシー技術が使われている。通常は、製造過程でチップ内に形成されたヒューズリンクを溶断することで不良セルの代わりに冗長セルを置換し、不良救済用の冗長回路と接続し機能させることで上記目的を達成する。

【0003】上記ヒューズリンクの溶断には、レーザービームによる方式と電気的な溶断方式とあり、その利点・欠点により適宜適用が決まる。図9に、従来例に係る半導体装置における一形態例として配線層、ヒューズリンク11、電極パッド15がいずれもRIE (Reactive Ion Etching) で形成された場合の断面図を示す。図中1は半導体基板、2は絶縁膜、5, 7, 12, 13は層間絶縁膜、3はTiN/Ti又はTiNからなるバリアメタル層、4AR, 6AR, 8ARはCuのデュアルダマシオン配線層、10ARはAl合金 (Al-Si-Cu若しくはAl-Si) 又はAl [以降 (Al合金) と記す]、11はヒューズリンク、14ARはAl合金、15は電極パッド、16はバッシベーション膜を示す。

【0004】図9では、ヒューズリンク11が電極パッド15の一層下の層に形成されているが、他の任意の層に形成可能である。いずれの場合も、ヒューズリンク11よりも上方及び下方には他の配線を形成できない。

【0005】現在、半導体装置のリダグダンシーを行うスイッチとして多層配線中に配置されているヒューズリンクの主要部は、配線の材料と同じAlを主とした材料で形成されている。不良セルが検出されると、不良セルに対応したアドレス線またはデータ線に接続されるヒューズリンク (Al合金あるいはポリシリコンが主体) を切断することによって上記置換を行う。

【0006】

【発明が解決しようとする課題】しかしながら、上記切断時にヒューズリンク11周辺の温度はAlの融点 (660℃) 以上に上昇する為、ヒューズリンク11の上方及び下方には図9に示す様に他のAl配線層を配置することができないという問題を有する。しかも、例えばレーザービームによる方式の場合には、ヒューズリンクの面積の設計値をレーザーの照射帯域及び合わせ精度に対してマージンをもたせた値にしなければならず、この値を縮小させることは極めて困難である。

【0007】上記のリダグダンシー機構において、配線材料がCuとなる次世代デバイスにおいても現在のデバイス構造のアナロジーを継承する限り、同様にヒューズリンクの上方及び下方には他の配線層を配置できない。配線材料と同じCuをヒューズリンク材料として用いた場合、Cuの融点 (1083℃) が高いことから現在よ

りも高出力のレーザーを用いる必要がある。従って、もしヒューズリンク下部にCu配線を形成した場合、レーザーの照射エネルギーにより下層配線も損傷させてしまうことになる。図10は従来例に係る半導体装置における一形態例の問題点を示す為の想定された断面図の一例として配線層4CD、6CD、8CD及びヒューズリンク11がデュアルダマシーン (dual damascene) により形成され、電極パッド15がAlのRIEにより形成されたものを示す。ヒューズリンク11を溶断する際、図10においては、ヒューズリンク11よりも下方に配置された配線が熱的にダメージを受ける。

【0008】今後リダグダンシー機構がひとつの半導体デバイスの中に数千個規模で存在すること、更にデバイスの設計寸法が今後益々微細化することを考慮すると、ヒューズリンク下部のデッド・スペースが占める割合は次第に無死無視できないものとなりつつある。従って、現状よりも微細化に適したヒューズ構造にすることで、回路の配置効率を高くすることが必要である。本発明は、上記問題を解決するべく、ヒューズリンクのみの選択的溶断が可能なリダグダンシー技術を提供するのである。

【0009】

【課題を解決するための手段】本発明に係る基板処理方法の主要部の要旨は、上記目的を達成する為、半導体基板上に形成されたリダグダンシー用のヒューズリンクを含む多層配線を有する半導体装置において、第1の配線層と、前記第1の配線層の上方または下方の少なくとも一方に前記第1の配線層よりも融点の高い材料で形成された配線層が存在し、前記第1の配線層がリダグダンシー用のヒューズリンクとして用いられるものである。

【0010】

【発明の実施の形態】以下本発明の実施の形態を図面に基いて説明する。

(実施の形態1) 以下、本発明の実施の形態1についてレーザービームによりヒューズリンクを溶断する場合を例に図1～図3を参照して説明する。

【0011】図1は本発明に係る半導体装置におけるヒューズリンク部付近を含む断面図を示す一形態例であって、配線層がCuのデュアルダマシーン配線により形成され、ヒューズリンクがRIEにより形成されたものである。図中1は半導体基板、2は絶縁膜、5、7、12は層間絶縁膜、3はTiN/Ti又はTiNからなるバリアメタル層、4CD、6CD、8CDはCuのデュアルダマシーン配線層、9はバリアメタル層 (兼エッチング・ストッパー層)、10ARはAl合金、11はヒューズリンク、14ARはAl合金、15は電極パッド、16はパッシベーション膜を示す。

【0012】図1においては、多層のCuデュアルダマシーン配線の最上層のCuデュアルダマシーン8CDにバリアメタル9を介してヒューズリンク11が形成され

ている。また、同Cu層の別配線にバリアメタル9を介して電極パッド15が形成された構造となっている。

【0013】次に図2、図3及び図1により本発明の半導体装置の製造方法を説明する。図示せぬ半導体素子が形成された後、図2に示す様に、多層のCuデュアルダマシーン配線4CD、6CD、8CDを形成する。デュアルダマシーン配線は、層間絶縁膜2、5、7にリソグラフィ及びエッチングにより配線溝及び接続孔を開口し、開口部を含む層間絶縁膜上に配線材料を堆積した後

にメタルCMP (Chemical Mechanical Polishing) を施すことにより形成される。この例では3層のデュアルダマシーン配線4CD、6CD、8CDが順次形成される。

【0014】次に、CVD (Chemical Vapor Deposition) 成膜あるいはスパッタ成膜技術及びリソグラフィ及びRIE (Reactive Ion Etching) によりバリアメタル層9を形成する。このバリアメタル層9は、次の工程で形成されるヒューズリンク11のエッチング時に使用される塩素系プロセスガスによるCuデュアルダマシーン配線8CDの腐食を回避する為のものであり、Ti、V、Cr、Zr、Nb、Mo、Hf、Ta、W等の高融点金属あるいはこれら高融点金属のシリサイドあるいはこれら高融点金属の窒化物あるいはこれら高融点金属とSiとNとを含む組成の材料等が上げられる。このバリアメタル層9はCuの腐食、Cuの拡散、及び電気的な接触不良が全く問題とならない場合には、省略することもできる。

【0015】次に図3に示す様に、TiN/Ti又はTiNからなるバリアメタル層3、Al合金 (Al-Si-Cu若しくはAl-Si) 又はAlからなる配線層10AR、TiN/Ti又はTiNからなるバリアメタル層3をこの順序でスパッタリングにより成膜した後、リソグラフィ及びRIEによりヒューズリンク11を形成する。

【0016】次に図1に示す様に層間絶縁膜12を堆積してこれにヴィアホールを開孔し、電極パッド15を形成後、パッシベーション膜16を形成する。以降、実施の形態1若しくは従来の技術と材料及び構造が同じものには同じ番号が付与されており、また適用プロセスの具体的説明は、実施の形態1で説明済である為省略する。

【0017】(実施の形態2) 以下、本発明の実施の形態2について図を参照して説明する。図4は本発明に係る半導体装置におけるヒューズリンク部付近を含む断面図を示す一形態例であって、Cuデュアルダマシーン配線4CD、6CD、8CDがデュアルダマシーンにより形成され、ヒューズリンク11がRIEにより、また電極パッド15がデュアルダマシーンにより形成されている。

【0018】(実施の形態3) 以下、本発明の実施の形態3について図を参照して説明する。図5は本発明に係

る半導体装置におけるヒューズリンク部付近を含む断面図を示す一形態例であって、Cuデュアルダマシーン配線4CD、6CD、8CDがデュアルダマシーン配線により形成され、ヒューズリンク11及び電極パッド15が同一層(A1-Si-Cu層及びバリアメタル)にRIEを施すことにより形成されている。

【0019】(実施の形態4)以下、本発明の実施の形態4について図を参照して説明する。図6は本発明に係る半導体装置におけるヒューズリンク部付近を含む断面図を示す一形態例であって、Cu配線層4CR、6C

R、8CR、ヒューズリンク11、電極パッド15がすべてRIEにより形成されている。

【0020】(実施の形態5)以下、本発明の実施の形態5について図を参照して説明する。図7は本発明に係る半導体装置におけるヒューズリンク部付近を含む断面図を示す一形態例であって、Cuデュアルダマシーン配線4CD、6CD、8CD、ヒューズリンク11及び電極パッド15がすべてデュアルダマシーン技術により形成されている。

【0021】(実施の形態6)以下、本発明の実施の形態6について図を参照して説明する。図8は本発明に係る半導体装置におけるヒューズリンク部付近を含む断面図を示す一形態例であって、Cuデュアルダマシーン配線4CD、6CD、8CD、ヒューズリンク11及び電極パッド15がすべてデュアルダマシーン技術により形成されており、かつヒューズリンク11及び電極パッド15が同一層により形成されている。

【0022】以上、本発明の半導体装置及びその製造方法によれば、ヒューズリンク11の主要部を他の多層配線層よりも融点の低い材料で形成しているため、ヒューズリンク付近の多層配線を溶断させずにヒューズリンクのみを選択的に溶断することができ、従来の配線の配置制限が緩和され、ヒューズリンクの上方及び下方への配線の配置が可能となるため配線設計の柔軟性が増える。その為、レーザー方式によるリダグダンシーを適用する場合には、レーザー照射の際の位置合わせのマージンが大きくなる。

【0023】上記においては、ヒューズリンク11よりも下方に他の配線層を配置した例を示したが、ヒューズリンク11よりも上方に配置した場合においても、各配線層のライン&スペースのスペースを介してレーザー照射することで、レーザー方式による溶断は可能である。

【0024】尚、上記はCu配線の場合にヒューズリンク11の主要部をAlを主体とする材料で形成した例を示したものであるが、下層の配線よりも融点の低い材料で形成するのであれば、これに限定する必要はなく、例えばMg、Sr、Ba、Zn、In、Ge、Sn、P

場合においても、ヒューズリンク11を構成する主材料の融点を他の配線層よりも融点の低い材料とする構造にすれば、ヒューズリンク溶断時の熱的影響は低く抑えられる為、ヒューズリンク11の上方及び下方にも配線層を配置することができる。その際のヒューズリンク11の材料として、例えばZn、In、Sn、Pb、Sb、Biといったものが考えられる。また、この発明の範囲内で種々工程及び材料の変更が可能である。例えば一部上述した様に、上記実施の形態においては、各層の形成プロセスとしてデュアルダマシーン及びRIEによる様々な組み合わせ変形例を示したが、配線層とヒューズリンク層と電極パッドを形成する際のプロセス形態は各々独立に選択可能であり、上記組み合わせに限られるものではなく同様のアナロジーにより本発明の効果は得られることは言うまでもない。

【0025】また、ヒューズリンクの上下部に形成された第1、第2、第3のバリアメタル層は他の材料への置き換えが可能であるし、また各々設けるかどうかについては独立に選択可能である。

【0026】

【発明の効果】上述したように本発明によれば、ヒューズリンクを他の多層配線層よりも融点の低い材料で形成しているため、ヒューズリンク付近の多層配線を溶断せずにヒューズリンクのみを選択的に溶断することができ、ヒューズリンクの上方及び下方への配線の配置が可能となるため配線設計の柔軟性が増える。また、前記配線設計の柔軟性により、レーザー方式によるリダグダンシーを適用する場合にはレーザー照射の際の位置合わせのマージンが大きくなる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置における一形態例を示す断面図である。

【図2】本発明の第1の実施の形態に係る半導体装置の製造方法における一工程段階の断面図である。

【図3】同製造方法における後続の一工程段階の断面図である。

【図4】本発明の第2の実施の形態に係る半導体装置における一形態例を示す断面図である。

【図5】本発明の第3の実施の形態に係る半導体装置における一形態例を示す断面図である。

【図6】本発明の第4の実施の形態に係る半導体装置における一形態例を示す断面図である。

【図7】本発明の第5の実施の形態に係る半導体装置における一形態例を示す断面図である。

【図8】本発明の第6の実施の形態に係る半導体装置における一形態例を示す断面図である。

【図9】従来例に係る半導体装置における一形態例を示す断面図である。

【図10】従来例に係る半導体装置における一形態例の問題点を示す為の想定された断面図である。

10

20

30

40

50

【符号の説明】

- 1 : 半導体基板
 2 : 絶縁膜
 3 : バリアメタル層 (TiN/Ti又はTiN)
 4CD, 6CD, 8CD : デュアルダマシーン配線層 (Cu)
 4CR, 6CR, 8CR : 配線層 (Cu)
 5, 7, 12, 13 : 層間絶縁膜
 9 : バリアメタル層 (兼エッチング・ストッパー層)

10AR, 10AD : Al合金 (Al-Si-Cu若しくはAl-Si) 又はAl

11 : ヒューズリンク

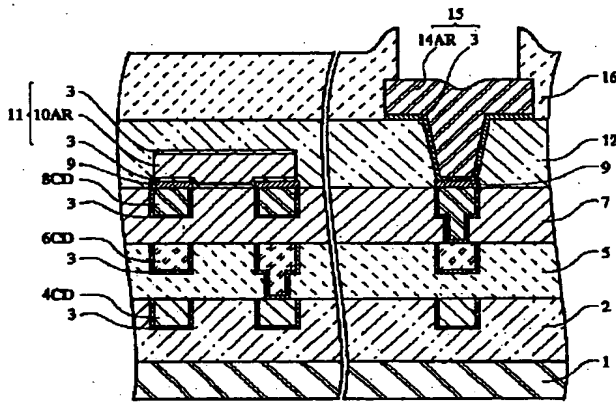
14AD, 14AR : Al合金 [Al-Si-Cu若しくはAl-Si] 又はAl

14CD : Cu

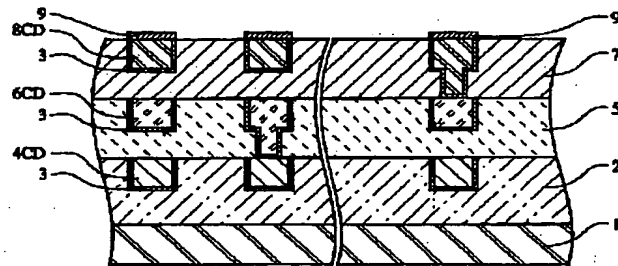
15 : 電極パッド

16 : パッシベーション膜

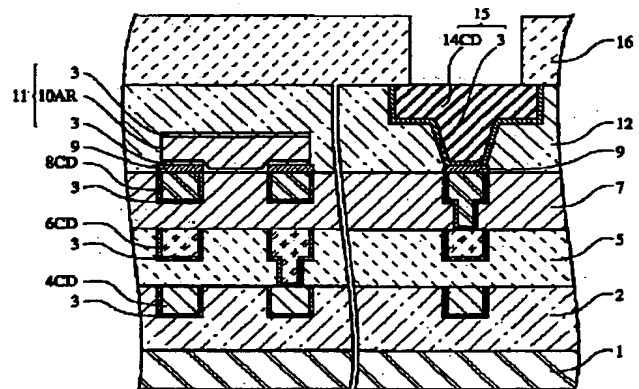
【図1】



【図2】

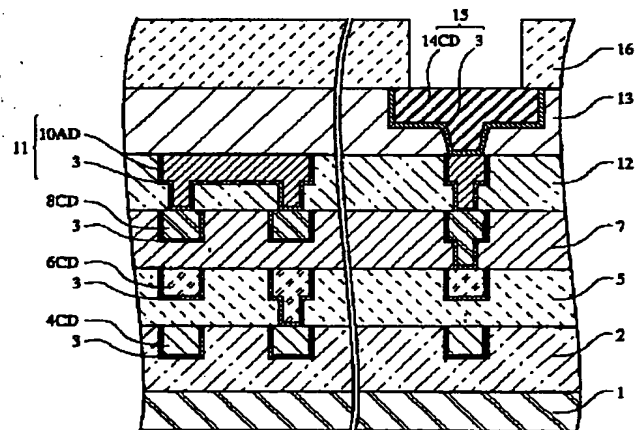
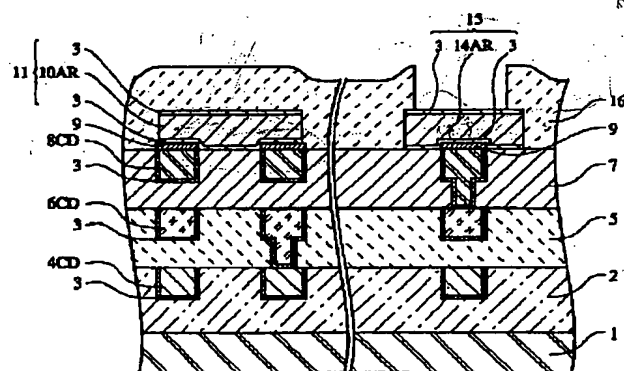


【図4】

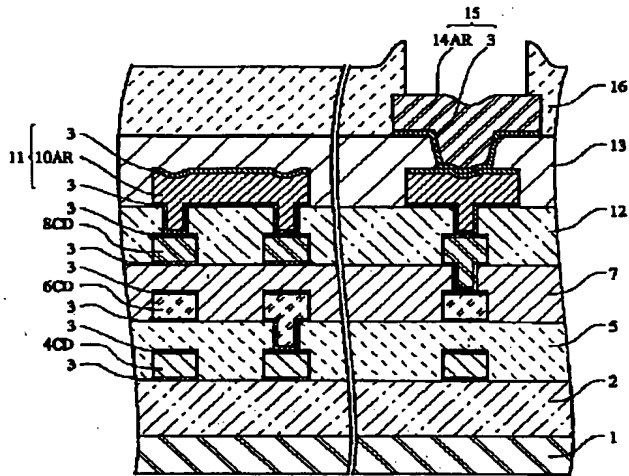


【図7】

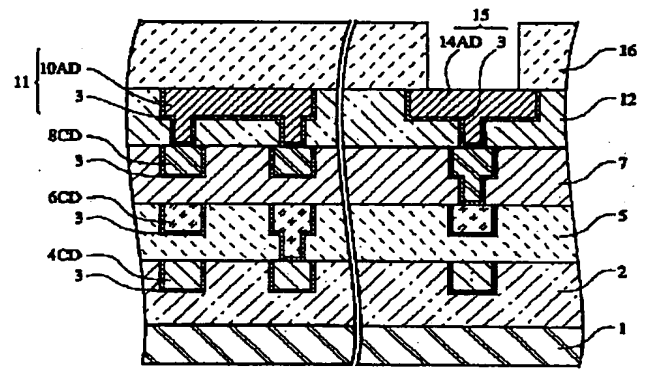
【図5】



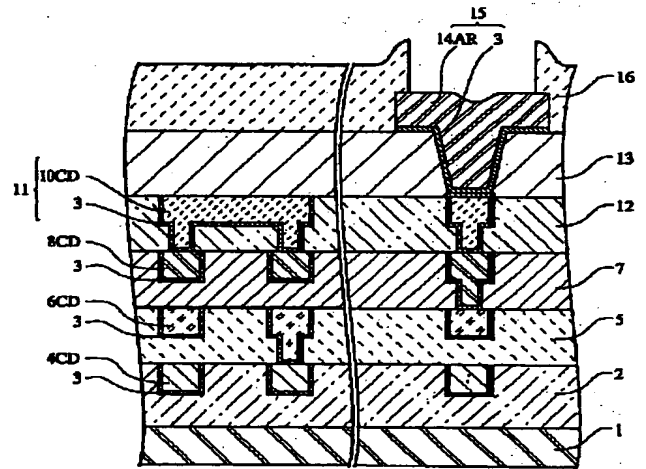
【図 6】



【図 8】



【図 10】



【図 9】

